

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Masanori TERAHARA, et al.

Serial Number: Not Yet Assigned

Filed: October 29, 2003

**Customer No.: 38834**

For: SEMICONDUCTOR DEVICE FABRICATION METHOD

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

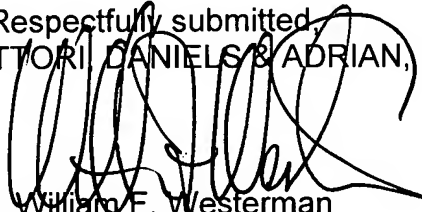
**Japanese Appln. No. 2002-315183 , filed on October 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



William F. Westerman  
Reg. No. 29,988

Atty. Docket No.: 032067  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
WFW/amr

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月30日

出 願 番 号

Application Number:

特願2002-315183

[ ST.10/C ]:

[ JP2002-315183 ]

出 願 人

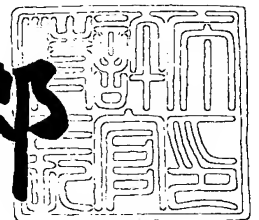
Applicant(s):

富士通株式会社

2003年 3月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3015614

【書類名】 特許願

【整理番号】 0241450

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明の名称】 半導体装置の製造方法

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 寺原 政徳

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 森岡 博

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜上に半導体膜を形成する工程と、  
前記半導体膜上にレジスト膜を形成する工程と、  
前記レジスト膜に開口部を形成する工程と、  
前記レジスト膜をマスクとして前記半導体膜をエッチングする工程と、  
前記半導体膜をマスクとして前記第 1 の絶縁膜をエッチングする工程と、  
前記第 1 の絶縁膜をマスクとして前記半導体基板をエッチングし、前記半導体  
基板に溝を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、  
前記半導体基板に前記溝を形成する工程では、前記半導体基板に前記溝を形成  
するとともに、前記第 1 の絶縁膜上の前記半導体膜をエッチング除去する  
ことを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は 2 記載の半導体装置の製造方法において、  
前記半導体膜をエッチングする工程及び前記第 1 の絶縁膜をエッチングする工  
程を、大気開放せずに行う  
ことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、  
前記半導体膜をエッチングする工程及び前記第 1 の絶縁膜をエッチングする工  
程を、同一のチャンバ内で行う  
ことを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方  
法において、

前記第 1 の絶縁膜をエッチングする工程の後、前記半導体基板に前記溝を形成  
する工程の前に、前記レジスト膜を除去する工程を更に有する  
ことを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 又は 2 記載の半導体装置の製造方法において、  
前記半導体膜をエッチングする工程の後、前記第 1 の絶縁膜をエッチングする  
工程の前に、前記レジスト膜を除去する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方  
法において、

前記半導体膜は、ポリシリコン膜又はアモルファスシリコン膜である

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、微細化に寄与しうる半導体装置の製  
造方法に関する。

【0002】

【従来の技術】

素子領域を画定する素子分離領域を形成するための技術として、従来より、L  
O C O S (L O C a l O x i d a t i o n o f S i l i c o n、局所酸化)法が広く知られている。

【0003】

しかし、L O C O S 法により素子分離領域を形成した場合には、バースピーク  
によって素子領域が小さくなる傾向がある。素子分離領域を形成する際の酸化量  
を小さくすれば、バースピークを小さくすることが可能であるが、酸化量を小さ  
くした場合には、十分な素子分離機能を得ることができなくなってしまう。また  
、L O C O S 法により素子分離領域を形成した場合には、基板表面に大きな段差  
が形成されてしまう。このため、L O C O S 法を用いて素子分離領域を形成する  
技術では、更なる微細化・高集積化が困難であった。

【0004】

近時、L O C O S 法に代わる方法として、S T I (Shallow Trench Isolation  
)法が提案されている。S T I 法による素子分離領域の形成方法を図 6 及び図 7  
を用いて説明する。図 6 及び図 7 は、提案されている半導体装置の製造方法を示

す工程断面図である。

【 0 0 0 5 】

まず、図 6 ( a ) に示すように、半導体基板 1 1 0 上に、シリコン酸化膜 1 1 2、シリコン窒化膜 1 1 4、反射防止膜 1 1 6 を順次形成する。次に、反射防止膜 1 1 8 上に、フォトレジスト膜 1 2 0 を形成する。次に、フォトリソグラフィ技術を用い、フォトレジスト膜 1 2 0 に反射防止膜 1 1 6 に達する開口部 1 2 1 を形成する。

【 0 0 0 6 】

次に、図 6 ( b ) に示すように、フォトレジスト膜 1 2 0 をマスクとして、反射防止膜 1 1 8 をエッチングする。

【 0 0 0 7 】

次に、図 6 ( c ) に示すように、フォトレジスト膜 1 2 0 をマスクとして、シリコン窒化膜 1 1 4 を順次エッチングする。

【 0 0 0 8 】

次に、図 7 ( a ) に示すように、フォトレジスト膜 1 2 0 を剥離する。

【 0 0 0 9 】

次に、図 7 ( b ) に示すように、シリコン窒化膜 1 1 4 をマスクとして半導体基板 1 1 0 をエッチングすることにより、トレンチ 1 2 2、即ち溝を形成する。

【 0 0 1 0 】

次に、トレンチ 1 2 2 内及びシリコン窒化膜 1 1 4 上にシリコン酸化膜を形成する。この後、CMP (Chemical Mechanical Polishing、化学的機械的研磨) 法により、シリコン窒化膜 1 1 4 が露出するまでシリコン酸化膜 1 2 6 を研磨する。こうして、トレンチ 1 2 2 に内にシリコン酸化膜 1 2 6 より成る素子分離領域 1 2 8 が埋め込まれる。こうして、素子分離領域 1 2 8 により素子領域 1 3 0 が画定される (図 7 ( c ) 参照)。

【 0 0 1 1 】

この後、シリコン窒化膜 1 1 4 及びシリコン酸化膜 1 1 2 を除去し、素子領域 1 3 0 内にトランジスタ (図示せず) を形成する。このようにして、半導体装置が製造される。

## 【0012】

STI法を用いて素子分離領域128を形成すれば、LOCOS法で素子分離領域を形成する場合のようなバースピークが発生することではなく、素子領域130が狭くなってしまうのを防止することができる。また、トレンチ122の深さを深くすることにより、実効的な素子間距離を長くすることができるため、高い素子分離機能を得ることができる。

## 【0013】

## 【特許文献1】

特開2000-269192号公報

## 【特許文献2】

特開2001-176841号公報

## 【特許文献3】

特開2001-44274号公報

## 【0014】

## 【発明が解決しようとする課題】

しかしながら、提案されている半導体装置の製造方法では、更なる微細化が困難であった。即ち、半導体装置を更に微細化するためには、フォトリソ膜120を更に狭い幅にパターニングする必要があるが、幅の狭いフォトリソ膜120を用いてシリコン窒化膜114をドライエッチングすると、フォトリソ膜120が倒れてしまう場合がある。一方、フォトリソ膜120を薄く形成すれば、フォトリソ膜120が倒れるのを防止することは可能であるが、フォトリソ膜120に対するシリコン窒化膜114のエッチングの選択比が必ずしも高くないため、シリコン窒化膜114をエッチングする際にフォトリソ膜120が次第に消失してしまう。そうすると、シリコン窒化膜114の肩の部分が大きく削れてしまったり、シリコン窒化膜114の側壁部分がギザギザになってしまったりする。即ち、シリコン窒化膜114を所望の形状にパターニングすることができない。シリコン窒化膜114を所望の形状にパターニングすることができないため、トレンチを所望の形状に形成することはできない。

## 【0015】



ここで、シリコン窒化膜 1 1 4 の膜厚を薄く設定すれば、シリコン窒化膜 1 1 4 をパターニングするための時間を短縮することができ、上記のような問題を解消し得るとも考えられる。しかし、シリコン窒化膜 1 1 4 は、シリコン酸化膜 1 2 6 を CMP 法により研磨する際のストッパ膜として機能するものであるため、シリコン窒化膜 1 1 4 を研磨する際にシリコン窒化膜 1 1 4 が均一かつ十分な膜厚で存在していなければならない。従って、シリコン窒化膜 1 1 4 の膜厚を薄く設定することは望ましくない。

#### 【 0 0 1 6 】

本発明の目的は、良好な素子分離領域を更に微細に形成し得る半導体装置の製造方法を提供することにある。

#### 【 0 0 1 7 】

##### 【課題を解決するための手段】

上記目的は、半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上に半導体膜を形成する工程と、前記半導体膜上にレジスト膜を形成する工程と、前記レジスト膜に開口部を形成する工程と、前記レジスト膜をマスクとして前記半導体膜をエッチングする工程と、前記半導体膜をマスクとして前記第 1 の絶縁膜をエッチングする工程と、前記第 1 の絶縁膜をマスクとして前記半導体基板をエッチングし、前記半導体基板に溝を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

#### 【 0 0 1 8 】

##### 【発明の実施の形態】

##### 〔第 1 実施形態〕

本発明の第 1 実施形態による半導体装置の製造方法を図 1 乃至図 5 を用いて説明する。図 1 乃至図 5 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

#### 【 0 0 1 9 】

まず、図 1 (a) に示すように、例えば熱酸化法により、シリコンより成る半導体基板 1 0 上の全面に、シリコン酸化膜 1 2 を形成する。シリコン酸化膜 1 2 の膜厚は、例えば 1 0 n m 程度とする。シリコン酸化膜 1 2 は、シリコン窒化膜

14とシリコン基板10との間の応力を緩和するためのバッファ膜として機能するものである。

#### 【0020】

次に、全面に、例えばCVD法により、シリコン窒化膜14を形成する。シリコン窒化膜14の膜厚は例えば112nmとする。シリコン窒化膜14は、後工程で半導体基板10をエッチングしてトレンチ22（図3（b）参照）を形成する際にマスクとして機能するものである。また、シリコン窒化膜14は、後工程でシリコン酸化膜12を研磨する際にストッパ膜としても機能するものである。

#### 【0021】

次に、全面に、例えばCVD法により、シリコン窒化膜14上にポリシリコン膜16を形成する。ポリシリコン膜16の膜厚は、例えば100～150nm程度とする。ポリシリコン膜16は、シリコン窒化膜14をパターニングする際にマスクとして機能するものである。

#### 【0022】

次に、全面に、例えばスピコート法により、反射防止膜18を塗布する。反射防止膜18の膜厚は、例えば82nmとする。

#### 【0023】

次に、全面に、例えばスピコート法により、フォトレジスト膜20を形成する。フォトレジスト膜20の材料としては、例えばArFレジストを用いる。フォトレジスト膜20の膜厚は、例えば300nmとする。

#### 【0024】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜20に開口部21を形成する（図1（b）参照）。開口部21は、トレンチ22（図3（b）参照）を形成するためのものである。

#### 【0025】

次に、図1（c）に示すように、フォトレジスト膜20をマスクとして、反射防止膜18をドライエッチングする。エッチング条件は、例えば、以下の通りとする。エッチングガスとしては、例えば、HBrガスとO<sub>2</sub>ガスと不活性ガスとから成る混合ガスを用いる。不活性ガスとしては、例えば、Heガスを用いるこ

とができる。HBr ガスの流量は、例えば 75 s c c m とする。He ガスの流量は、例えば 20 s c c m とする。O<sub>2</sub> ガスの流量は、例えば 30 s c c m とする。チャンバ内の圧力は、例えば 4 m T とする。印加電力は、例えば 500 W とする。バイアス電圧は、例えば -200 V とする。

## 【0026】

次に、例えばドライエッチングにより、フォトレジスト膜 20 をマスクとして、ポリシリコン膜 16 をエッチングする。この際、半導体基板 10 の面に対して垂直方向にポリシリコン膜 16 をエッチングする。フォトレジスト膜 20 をマスクとしてポリシリコン膜 16 をエッチングする際には、トランジスタのゲート電極 40 (図 5 (b) 参照) を形成する際に用いられる技術を用いることが可能なため、フォトレジスト膜 20 に対して高い選択比でポリシリコン膜 16 をエッチングすることができる。このため、フォトレジスト膜 20 より成るパターンの肩の部分が大きく削れてしまうことはない。従って、ポリシリコン膜 16 を所望の形状にパターニングすることが可能である。

## 【0027】

ポリシリコン膜 16 をエッチングする際には、まず、ポリシリコン膜 16 の表面に存在している自然酸化膜 (図示せず) を除去するための前処理を行う。自然酸化膜を除去するための前処理は、例えば、以下のような条件で行う。エッチングガスとしては、例えば CF<sub>4</sub> ガスを用いる。CF<sub>4</sub> ガスの流量は、例えば 100 s c c m とする。チャンバ内の圧力は、例えば 5 m T とする。印加電力は例えば 200 W とする。バイアス電圧は、例えば -400 V とする。エッチング時間は、例えば 10 秒とする。こうして、ポリシリコン膜 16 の表面の自然酸化膜が除去される。

## 【0028】

次に、ポリシリコン膜 16 をエッチングする。ポリシリコン膜 16 のエッチングは、例えば、以下のような条件で行う。エッチングガスとしては、例えば、HBr ガスと O<sub>2</sub> ガスとから成る混合ガスを用いる。HBr ガスの流量は、例えば 180 s c c m とする。O<sub>2</sub> ガスの流量は、例えば 5 s c c m とする。チャンバ内の圧力は、例えば 6 m T とする。印加電力は、例えば 350 W とする。バイア

ス電圧は、例えば $-67\text{ V}$ とする。オーバーエッチングは、例えば10%程度とする。

## 【0029】

こうして、フォトレジスト膜20に対して高い選択比でポリシリコン膜16がエッチングされる。

## 【0030】

次に、図2(b)に示すように、ポリシリコン膜16をマスクとして、シリコン窒化膜14をドライエッチングする。ポリシリコン膜16に対してシリコン窒化膜14を高い選択比でエッチングすることが可能であるため、ポリシリコン膜16より成るパターンの肩の部分が大きく削れてしまうことはない。エッチング条件は、例えば以下の通りとする。エッチングガスとしては、例えば $\text{CF}_4$ ガスと $\text{CH}_2\text{F}_2$ ガスと $\text{He}$ ガスとから成る混合ガスを用いる。チャンバ内の圧力は、例えば $3.5\text{ mT}$ とする。 $\text{He}$ ガスの流量は、例えば $200\text{ sccm}$ とする。 $\text{CF}_4$ ガスの流量は、例えば $25\text{ sccm}$ とする。 $\text{CH}_2\text{F}_2$ ガスの流量は、例えば $25\text{ sccm}$ とする。印加電力は、例えば $800\text{ W}$ とする。バイアス電圧は、例えば $-410\text{ V}$ とする。

## 【0031】

次に、図2(c)に示すように、ポリシリコン膜16をマスクとして、シリコン酸化膜12をドライエッチングする。エッチング条件は、例えば、ポリシリコン膜16をマスクとしてシリコン窒化膜14をエッチングする際のエッチング条件と同様とする。こうして、開口部21が半導体基板10まで達する。

## 【0032】

反射防止膜18をエッチングする工程、ポリシリコン膜16をエッチングする工程、シリコン窒化膜14をエッチングする工程、及び、シリコン酸化膜12をエッチングする工程は、同一のチャンバ内にて、大気開放することなく行う。大気開放することなくエッチングすることにより、半導体基板10にパーティクルが付着するのを抑制することができる。

## 【0033】

また、反射防止膜18のエッチングを行った後、半導体基板10を別個のチャ

ンバに搬送し、その別個のチャンバ内で、ポリシリコン膜16のエッチング、シリコン窒化膜14のエッチング及びシリコン窒化膜12のエッチングを行ってもよい。この場合も、反射防止膜18のエッチング、ポリシリコン膜16のエッチング、シリコン窒化膜14のエッチング及びシリコン酸化膜12のエッチングを、大気開放することなく行うことが望ましい。これらのエッチング工程を大気開放することなく行うためには、例えば、半導体基板を真空中で搬送することが可能なマルチチャンバ式のエッチング装置を用いればよい。例えば、トランジスタのゲート電極を形成する際に用いられるマルチチャンバ式のエッチング装置を、上記のエッチング工程を行う際に用いることが可能である。

## 【0034】

次に、図3(a)に示すように、フォトリソ膜20を除去する。フォトリソ膜20の除去は、例えば、ウェット式のレジスト剥離と、プラズマを用いたレジスト除去とを組み合わせで行う。ウェット式のレジスト剥離においては、例えば、希フッ酸より成る剥離液を用いた薬液処理と、硫酸と過酸化水素とを混合して成る剥離液（Sulfuric acid-Hydrogen Peroxide Mixture、SPM液）を用いた薬液処理と、アンモニアと過酸化水素と水とを混合して成る剥離液（Ammonia-Hydrogen Peroxide Mixture、APM液）を用いた薬液処理とを、組み合わせで行う。プラズマを用いたレジスト除去においては、例えば酸素プラズマを用いる。

## 【0035】

シリコン窒化膜14をエッチングする工程においては、印加電力が高いため、エッチングガスとフォトリソ膜20とが反応して反応生成物が生じるが、フォトリソ膜20を除去する際に、かかる反応生成物も除去されることとなる。

## 【0036】

次に、図3(b)に示すように、シリコン窒化膜14をマスクとして、半導体基板10をエッチングする。

## 【0037】

半導体基板10をエッチングする際には、まず、半導体基板10の表面に存在

している自然酸化膜（図示せず）を除去するための前処理を行う。自然酸化膜を除去するための前処理は、例えば、以下のような条件で行う。エッチングガスとしては、例えば $\text{CF}_4$ ガスを用いる。 $\text{CF}_4$ ガスの流量は、例えば100 sccmとする。チャンバ内の圧力は、例えば5 mTとする。印加電力は例えば200 Wとする。バイアス電圧は、例えば-400 Vとする。エッチング時間は、例えば10秒とする。こうして、半導体基板10の表面に存在している自然酸化膜が除去される。

## 【0038】

次に、シリコン窒化膜16をマスクとして半導体基板10をエッチングする。半導体基板10のエッチングは、例えば以下のような条件で行う。エッチングガスとしては、例えば、HBrガスと $\text{O}_2$ ガスとから成る混合ガスを用いる。HBrガスの流量は、例えば450 sccmとする。 $\text{O}_2$ ガスの流量は、例えば13 sccmとする。チャンバ内の圧力は、例えば10 mTとする。印加電力は、例えば900 Wとする。バイアス電圧は、例えば-220 Vとする。

## 【0039】

こうして、半導体基板10にトレンチ22、即ち溝が形成される。トレンチ22の深さは、例えば300 nm程度とする。シリコン窒化膜14上にポリシリコン膜16が存在している状態で半導体基板10をエッチングするため、高いアスペクト比でトレンチ22を形成することができる。また、半導体基板10をエッチングしてトレンチ22を形成する際に、シリコン窒化膜14上のポリシリコン膜16も徐々にエッチング除去されていくため、ポリシリコン膜16を除去する工程を別個に設けることを要しない。従って、簡便な工程で半導体装置を製造することができる。

## 【0040】

なお、半導体基板10にトレンチ22を形成する際に、シリコン窒化膜14も若干エッチングされて、シリコン窒化膜14の膜厚が若干薄くなるが、シリコン窒化膜14は例えば90 nm程度の膜厚で残る。シリコン窒化膜14が大きくエッチングされるわけではないため、特段の問題はない。

## 【0041】

次に、熱酸化法により、露出した半導体基板 1 0 の表面、具体的には、トレンチ 2 2 の内面にシリコン酸化膜 2 4 を形成する。シリコン酸化膜 2 4 の膜厚は、例えば 1 0 n m 程度とする。

## 【 0 0 4 2 】

次に、例えば高密度プラズマ (High Density Plasma、HDP) CVD 法により、全面に、シリコン酸化膜 2 6 を形成する。シリコン酸化膜 2 6 の膜厚は、例えば 5 0 0 n m 程度とする。

## 【 0 0 4 3 】

次に、例えば CMP 法により、シリコン酸化膜 2 6 をシリコン窒化膜 1 4 の表面が露出するまで研磨する。こうして、トレンチ 2 2 内にシリコン酸化膜 2 6 が埋め込まれる (図 3 (c) 参照)。シリコン酸化膜 2 6 より研磨レートが遅いシリコン窒化膜 1 4 が露出した時点で研磨を終了するため、高い精度で研磨を終了することができる。

## 【 0 0 4 4 】

次に、図 4 (a) に示すように、シリコン窒化膜 1 4 をエッチング除去する。エッチング液としては、例えば熱リン酸を用いる。

## 【 0 0 4 5 】

次に、シリコン酸化膜 1 2 をエッチング除去する。エッチング液としては、例えば希フッ酸を用いる。この際、トレンチ 2 2 内に埋め込まれたシリコン酸化膜 2 6、即ち素子分離領域 2 8 もわずかにエッチングされる。こうして、STI 法により、シリコン酸化膜 2 6 より成る素子分離領域 2 8 が形成される。素子分離領域 2 8 により、素子領域が画定される。

## 【 0 0 4 6 】

次に、熱酸化法により、半導体基板 1 0 の表面に犠牲酸化膜 (図示せず) を形成する。

## 【 0 0 4 7 】

次に、犠牲酸化膜を介して、例えばイオン注入法により、素子領域 3 0 にドーパント不純物を適宜導入することにより、n 形ウェル 3 2 n や p 形ウェル 3 2 p を形成する (図 4 (b) 参照)。

## 【 0 0 4 8 】

次に、犠牲酸化膜をエッチング除去する。エッチング液としては、例えば希フッ酸を用いる。この際、シリコン窒化膜 2 6 より成る素子分離領域 2 8 もわずかにエッチングされることとなる。素子分離領域 2 8 を形成した後に希フッ酸によるエッチングが行われるため、素子分離領域 2 8 の端部近傍には、局所的に凹んだ部分、即ちディボット 3 4 (図 5 (a) 参照) が生じることとなる。

## 【 0 0 4 9 】

次に、熱酸化法により、素子領域 3 0 上にゲート絶縁膜 3 6 を形成する。ゲート絶縁膜 3 6 の膜厚は、例えば 2 n m とする。

## 【 0 0 5 0 】

次に、全面に、ポリシリコン膜 3 8 を形成する。ポリシリコン膜 3 8 の膜厚は、例えば 1 5 0 n m とする。

## 【 0 0 5 1 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜をパターニングする。この後、フォトレジスト膜をマスクとして、ポリシリコン膜 3 8 をパターニングする。こうして、ポリシリコン膜 3 8 より成るゲート電極が形成される (図 6 (b) 参照)。

## 【 0 0 5 2 】

次に、イオン注入法により、ゲート電極 4 0 をマスクとして、ゲート電極 4 0 の両側の半導体基板 1 0 にドーパント不純物を導入する。導入するドーパント不純物の導電型は、ウェル 3 2 の導電型の反対とする。これにより、ソース／ドレインの浅い領域を構成する不純物拡散領域 4 2 a が形成される。

## 【 0 0 5 3 】

次に、不純物拡散領域 4 2 a 中のドーパント不純物を活性化するための熱処理を行う。

## 【 0 0 5 4 】

次に、全面に、例えば C V D 法により、シリコン酸化膜 4 4 を形成する。

## 【 0 0 5 5 】

次に、全面に、例えば C V D 法により、シリコン窒化膜 4 6 を形成する。



【 0 0 5 6 】

次に、シリコン窒化膜 6 4 及びシリコン酸化膜 4 4 を異方性エッチングすることにより、ゲート電極 4 0 の側壁部分にサイドウォールスペーサ 4 8 を形成する。

【 0 0 5 7 】

次に、イオン注入法により、ゲート電極 4 0 及びサイドウォールスペーサ 4 8 をマスクとして、半導体基板 1 0 内にドーパント不純物を導入する。導入するドーパント不純物の導電型は、ウェル 3 2 の導電型の反対とする。これにより、ソース／ドレインの深い領域を構成する不純物拡散領域 4 2 b が形成される。浅い不純物拡散領域 4 2 a と深い不純物拡散領域 4 2 b とにより、ソース／ドレイン拡散層 4 2 が構成される。

【 0 0 5 8 】

こうして、本実施形態による半導体装置が製造される（図 6（c）参照）。

【 0 0 5 9 】

本実施形態による半導体装置の製造方法は、ポリシリコン膜より成るマスクを用いてシリコン窒化膜をエッチングすることに主な特徴の一つがある。

【 0 0 6 0 】

提案されている半導体装置の製造方法では、微細化のためにフォトレジスト膜 1 2 0 の幅を狭くしようとする、フォトレジスト膜 1 2 0 を用いてシリコン窒化膜 1 1 4 をドライエッチングする際に、フォトレジスト膜 1 2 0 が倒れてしまう場合がある。一方、フォトレジスト膜 1 2 0 を薄く形成すれば、フォトレジスト膜 1 2 0 が倒れるのを防止することは可能であるが、フォトレジスト膜 1 2 0 に対するシリコン窒化膜 1 1 4 のエッチングの選択比が必ずしも高くないため、シリコン窒化膜 1 1 4 をエッチングする際にフォトレジスト膜 1 2 0 が次第に消失してしまう。そうすると、シリコン窒化膜 1 1 4 の肩の部分が大きく削れてしまったり、シリコン窒化膜 1 1 4 の側壁部分がギザギザになってしまったりする。即ち、シリコン窒化膜 1 1 4 を所望の形状にパターニングすることができない。シリコン窒化膜 1 1 4 を所望の形状にパターニングすることができないため、トレンチを所望の形状に形成することはできない。

このため、提案されている半導体装置の製造方法では、良好な素子分離領域を更に微細に形成することが困難であった。

## 【 0 0 6 1 】

これに対し、本実施形態では、ポリシリコン膜 1 6 より成るマスクを用いてシリコン窒化膜 1 4 をパターニングするため、ポリシリコン膜 1 6 に対して高い選択比でシリコン窒化膜 1 4 をエッチングすることができる。このため、シリコン窒化膜 1 4 より成る良好なパターンを形成することができる。このため、本実施形態によれば、シリコン窒化膜 1 4 をマスクとして半導体基板 1 0 に微細なトレンチ 2 2 を形成する場合であっても、トレンチ 2 2 を所望の形状に形成することができる。従って、本実施形態によれば、良好な素子分離領域を更に微細に形成することが可能となる。

## 【 0 0 6 2 】

また、本実施形態による半導体装置の製造方法は、半導体基板 1 0 にトレンチ 2 2 を形成する際にシリコン窒化膜 1 4 上のポリシリコン膜 1 6 も同時に除去することにも主な特徴の一つがある。

## 【 0 0 6 3 】

本実施形態によれば、トレンチ 2 2 を形成する際に、シリコン窒化膜 1 4 上に存在しているポリシリコン膜 1 6 を除去することができるため、ポリシリコン膜 1 6 を除去するための工程を別個に設けることを要しない。従って、本実施形態によれば、簡便な工程で半導体装置を製造することができる。

## 【 0 0 6 4 】

また、本実施形態による半導体装置の製造方法は、反射防止膜 1 8 をエッチングする工程、ポリシリコン膜 1 6 をエッチングする工程、シリコン窒化膜 1 4 をエッチングする工程、及び、シリコン酸化膜 1 2 をエッチングする工程を、大気開放することなく行うことにも主な特徴の一つがある。

## 【 0 0 6 5 】

本実施形態によれば、これらのエッチング工程を大気開放することなく行うため、半導体基板の表面にパーティクルが付着するのを抑制することができ、高い歩留りで半導体装置を製造することができる。また、パーティクルを除去するた

めの工程が不要であるため、高いスループットで半導体装置を製造することができる。

## 【0066】

なお、特許文献1には、ポリシリコン膜をマスクとして、TEOS酸化膜、シリコン窒化膜及びシリコン酸化膜をエッチングすることにより、シリコン酸化膜、シリコン窒化膜及びTEOS酸化膜より成る素子分離溝形成用のマスクを形成し、この素子分離溝形成用のマスクをマスクとして半導体基板をエッチングすることにより、半導体基板に溝を形成する技術が開示されている。しかし、特許文献1に記載された技術では、フォトリジスト膜、反射防止膜及びポリシリコン膜をマスクとして、TEOS酸化膜、シリコン窒化膜及びシリコン酸化膜をエッチングする際に、フォトリジスト膜、反射防止膜及びポリシリコン膜に対して、TEOS酸化膜、シリコン窒化膜及びシリコン酸化膜を、あまり高い選択比でエッチングしていない。このため、素子分離溝形成用のマスクを形成する際に、ポリシリコン膜の肩の部分が大きく削られてしまい、ひいては素子分離溝形成用のマスクの肩の部分も削られてしまう。特許文献1に記載された技術では、素子分離溝形成用のマスクの肩の部分が削られてしまうため、素子分離溝、即ちトレンチを所望の形状に形成することは困難である。また、素子分離溝形成用のマスクの肩の部分が削られてしまった場合、トレンチ内にシリコン酸化膜を埋め込んだ後に素子分離溝形成用のマスクを除去すると、シリコン酸化膜より成る素子分離領域の端部が素子領域内に底状に張り出してしまうこととなる。素子分離領域の端部が素子領域内に底状に張り出してしまうと、この後のゲート電極を形成する工程において、底状に張り出した素子分離領域の端部にポリシリコン等より成る残渣が生じやすくなってしまい、半導体装置の製造歩留りの低下の原因となってしまう。

## 【0067】

これに対し、本実施形態による半導体装置の製造方法では、シリコン窒化膜よりなるマスクを形成する際に、ポリシリコン膜に対して高い選択比でシリコン窒化膜をエッチングするため、シリコン窒化膜より成るパターンの肩の部分が大きく削れてしまうのを防止することができる。従って、本実施形態によれば、トレ

ンチを所望の形状に形成することができ、微細な半導体装置を高い製造歩留りで提供することが可能となる。

## 【 0 0 6 8 】

## 〔変形実施形態〕

本発明は上記実施形態に限らず種々の変形が可能である。

## 【 0 0 6 9 】

例えば、ポリシリコン膜 1 6 をエッチングする工程の後、シリコン窒化膜 1 4 をエッチングする工程の前に、フォトレジスト膜 2 0 を除去してもよい。この場合には、ポリシリコン膜 1 6 をエッチングする際にエッチングガスとフォトレジストとが反応することにより生成された反応生成物を、フォトレジスト膜 2 0 を除去する際に同時に除去することができるため、反応生成物が付着していない状態で、シリコン窒化膜 1 4 をエッチングすることが可能となる。

## 【 0 0 7 0 】

また、上記実施形態では、ポリシリコン膜 1 8 より成るマスクを用いてシリコン窒化膜 1 4 をパターンニングしたが、マスクの材料はポリシリコンに限定されるものではない。例えば、アモルファスシリコン膜等、あらゆるシリコン膜を、シリコン窒化膜 1 4 をエッチングするためのマスクの材料として用いることができる。また、シリコン窒化膜 1 4 をエッチングするためのマスクの材料は、シリコンに限定されるものではなく、あらゆる半導体を用いることが可能である。例えば、マスクの材料として、半導体基板 1 0 の材料とほぼ同様のエッチング特性を有する半導体を用いることができる。半導体基板の材料とほぼ同様のエッチング特性を有する半導体材料を用いれば、シリコン窒化膜 1 4 をマスクとして半導体基板 1 0 にトレンチ 2 2 を形成する際に、シリコン窒化膜 1 4 上に存在している半導体より成るマスクを同時に除去することが可能である。

## 【 0 0 7 1 】

また、上記実施形態では、半導体基板としてシリコン基板を用いる場合を例に説明したが、本発明はシリコン基板を用いる場合に限定されるものではなく、あらゆる半導体基板を用いる場合に適用することが可能である。

## 【 0 0 7 2 】

(付記 1) 半導体基板上に第 1 の絶縁膜を形成する工程と、  
前記第 1 の絶縁膜上に半導体膜を形成する工程と、  
前記半導体膜上にレジスト膜を形成する工程と、  
前記レジスト膜に開口部を形成する工程と、  
前記レジスト膜をマスクとして前記半導体膜をエッチングする工程と、  
前記半導体膜をマスクとして前記第 1 の絶縁膜をエッチングする工程と、  
前記第 1 の絶縁膜をマスクとして前記半導体基板をエッチングし、前記半導体  
基板に溝を形成する工程と、  
を有することを特徴とする半導体装置の製造方法。

【 0 0 7 3 】

(付記 2) 付記 1 記載の半導体装置の製造方法において、  
前記半導体基板に前記溝を形成する工程の後に、前記溝内に第 2 の絶縁膜より  
成る素子分離領域を埋め込む工程を更に有する  
ことを特徴とする半導体装置の製造方法。

【 0 0 7 4 】

(付記 3) 付記 1 又は 2 記載の半導体装置の製造方法において、  
前記半導体基板に前記溝を形成する工程では、前記半導体基板に前記溝を形成  
するとともに、前記第 1 の絶縁膜上の前記半導体膜をエッチング除去する  
ことを特徴とする半導体装置の製造方法。

【 0 0 7 5 】

(付記 4) 付記 1 乃至 3 のいずれかに記載の半導体装置の製造方法において  
前記半導体膜をエッチングする工程及び前記第 1 の絶縁膜をエッチングする工  
程を、大気開放せずに行う  
ことを特徴とする半導体装置の製造方法。

【 0 0 7 6 】

(付記 5) 付記 4 記載の半導体装置の製造方法において、  
前記半導体膜をエッチングする工程及び前記第 1 の絶縁膜をエッチングする工  
程を、同一のチャンバ内で行う

ことを特徴とする半導体装置の製造方法。

【 0 0 7 7 】

(付記 6) 付記 4 記載の半導体装置の製造方法において、  
前記半導体膜を形成する工程の後、前記レジスト膜を形成する工程の前に、反射防止膜を形成する工程を更に有し、  
前記反射防止膜をエッチングする工程から前記第 1 の絶縁膜をエッチングする工程までを、大気開放せずに行う

ことを特徴とする半導体装置の製造方法。

【 0 0 7 8 】

(付記 7) 付記 6 記載の半導体装置の製造方法において、  
前記反射防止膜をエッチングする工程から前記第 1 の絶縁膜をエッチングする工程までを、同一のチャンバ内で行う

ことを特徴とする半導体装置の製造方法。

【 0 0 7 9 】

(付記 8) 付記 1 乃至 7 のいずれかに記載の半導体装置の製造方法において

、  
前記第 1 の絶縁膜をエッチングする工程の後、前記半導体基板に前記溝を形成する工程の前に、前記レジスト膜を除去する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 0 8 0 】

(付記 9) 付記 1 乃至 3 のいずれかに記載の半導体装置の製造方法において

、  
前記半導体膜をエッチングする工程の後、前記第 1 の絶縁膜をエッチングする工程の前に、前記レジスト膜を除去する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【 0 0 8 1 】

(付記 1 0) 付記 2 乃至 9 のいずれかに記載の半導体装置の製造方法において、

前記素子分離領域を埋め込む工程は、前記溝内及び前記第 1 の絶縁膜上に前記

第 2 の絶縁膜を形成する工程と、前記第 2 の絶縁膜を前記第 1 の絶縁膜が露出するまで研磨する工程とを有する

ことを特徴とする半導体装置の製造方法。

【 0 0 8 2 】

(付記 1 1) 付記 1 乃至 1 0 のいずれかに記載の半導体装置の製造方法において、

前記素子分離領域を形成する工程の後に、前記第 1 の絶縁膜をエッチング除去する工程と、前記半導体基板上にゲート絶縁膜を形成する工程とを更に有することを特徴とする半導体装置の製造方法。

【 0 0 8 3 】

(付記 1 2) 付記 1 乃至 1 1 のいずれかに記載の半導体装置の製造方法において、

前記半導体膜は、ポリシリコン膜又はアモルファスシリコン膜であることを特徴とする半導体装置の製造方法。

【 0 0 8 4 】

(付記 1 3) 付記 2 乃至 1 2 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の絶縁膜は、シリコン窒化膜であり、  
前記第 2 の絶縁膜は、シリコン酸化膜であることを特徴とする半導体装置の製造方法。

【 0 0 8 5 】

【発明の効果】

以上の通り、本発明によれば、ポリシリコン膜より成るマスクを用いてシリコン窒化膜をパターンニングするため、ポリシリコン膜に対して高い選択比でシリコン窒化膜をエッチングすることができる。このため、シリコン窒化膜より成る良好なパターンを形成することができる。このため、本発明によれば、シリコン窒化膜をマスクとして半導体基板に微細なトレンチを形成する場合であっても、トレンチを所望の形状に形成することができる。従って、本発明によれば、良好な素子分離領域を更に微細に形成することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 3】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 4】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 5】

本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 6】

提案されている半導体装置の製造方法を示す工程断面図（その 1）である。

【図 7】

提案されている半導体装置の製造方法を示す工程断面図（その 2）である。

【符号の説明】

- 1 0 … 半導体基板
- 1 2 … シリコン酸化膜
- 1 4 … シリコン窒化膜
- 1 6 … ポリシリコン膜
- 1 8 … 反射防止膜
- 2 0 … フォトレジスト膜
- 2 1 … 開口部
- 2 2 … トレンチ

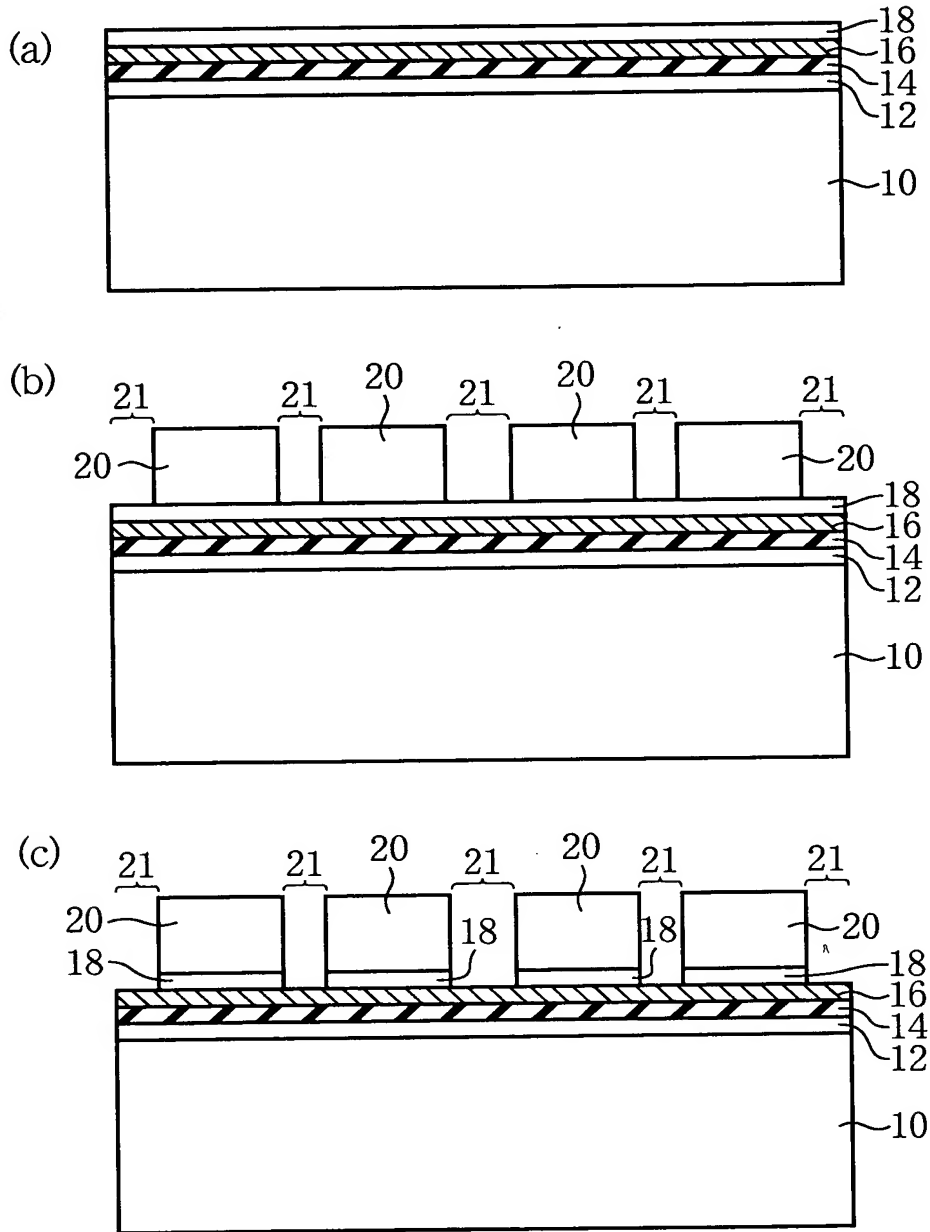


2 4 …シリコン酸化膜  
2 6 …シリコン酸化膜  
2 8 …素子分離領域  
3 0 …素子領域  
3 2 …ウェル  
3 2 n …n 形ウェル  
3 2 p …p 形ウェル  
3 6 …ゲート絶縁膜  
3 8 …ポリシリコン膜  
4 0 …ゲート電極  
4 2 …ソース／ドレイン拡散層  
4 2 a …不純物拡散領域  
4 2 b …不純物拡散領域  
4 4 …シリコン酸化膜  
4 6 …シリコン窒化膜  
4 8 …サイドウォール  
1 1 0 …半導体基板  
1 1 2 …シリコン酸化膜  
1 1 4 …シリコン窒化膜  
1 1 6 …ポリシリコン膜  
1 1 8 …反射防止膜  
1 2 0 …フォトレジスト膜  
1 2 1 …開口部  
1 2 2 …トレンチ  
1 2 6 …シリコン酸化膜  
1 2 8 …素子分離領域  
1 3 0 …素子領域

【書類名】 図面

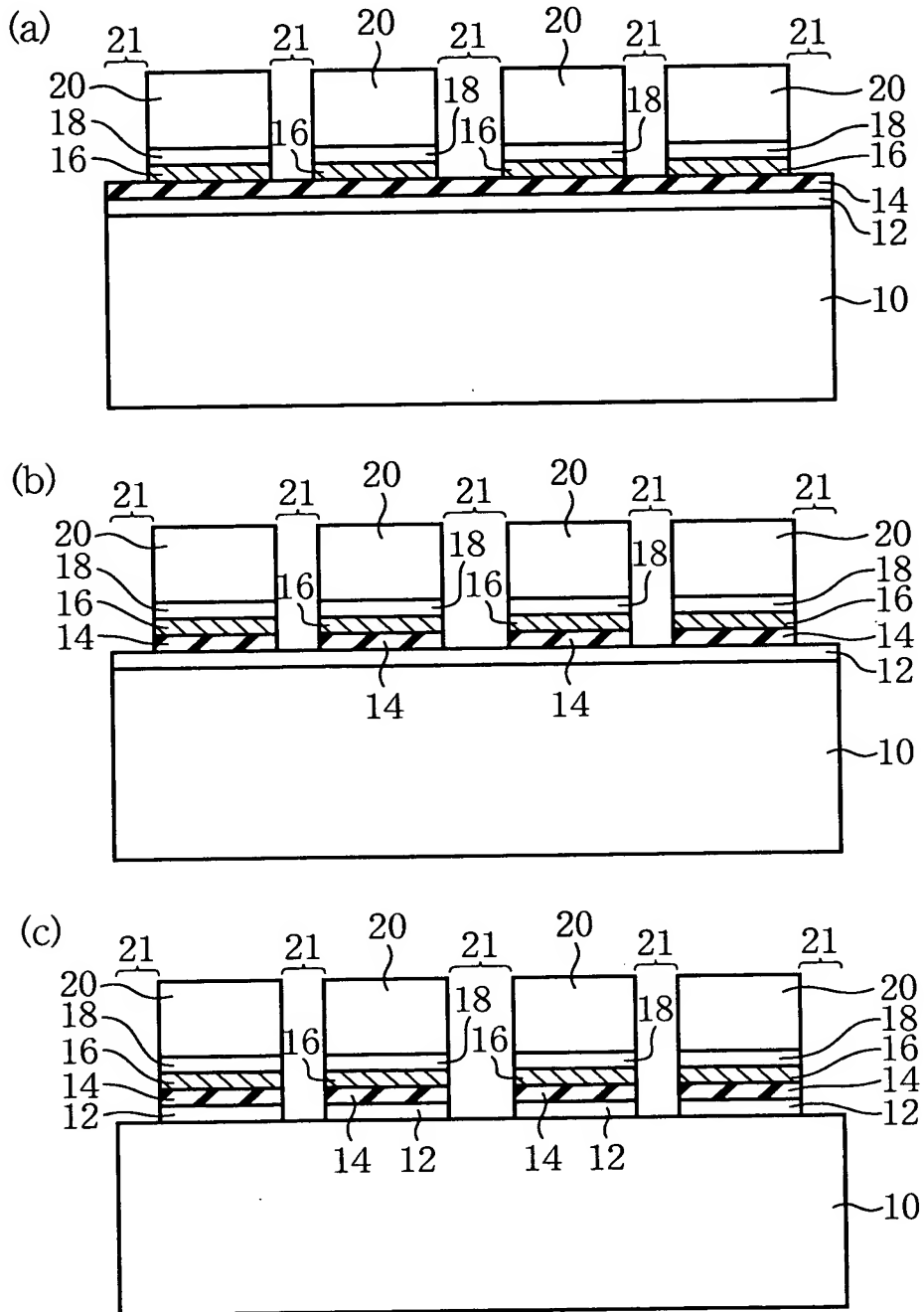
【図 1】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その1)



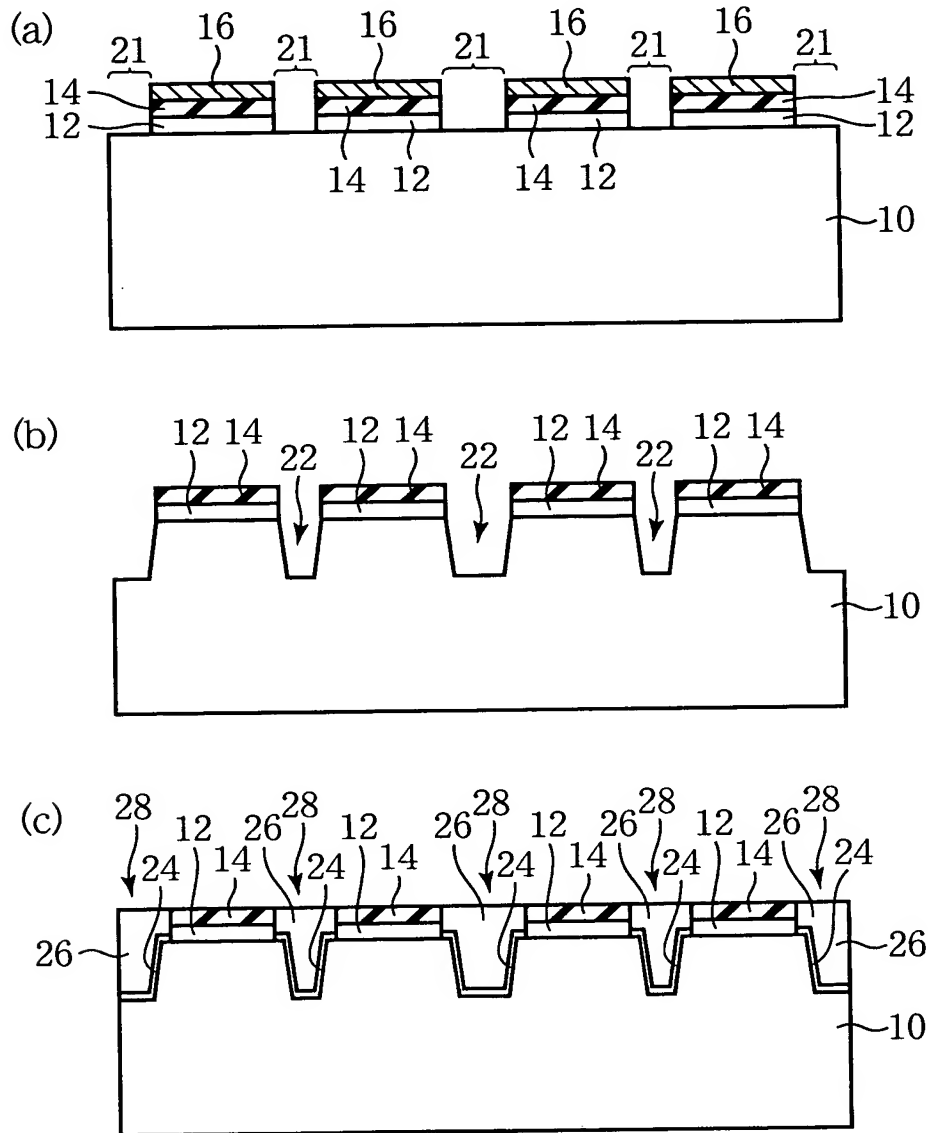
【図 2】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その2)



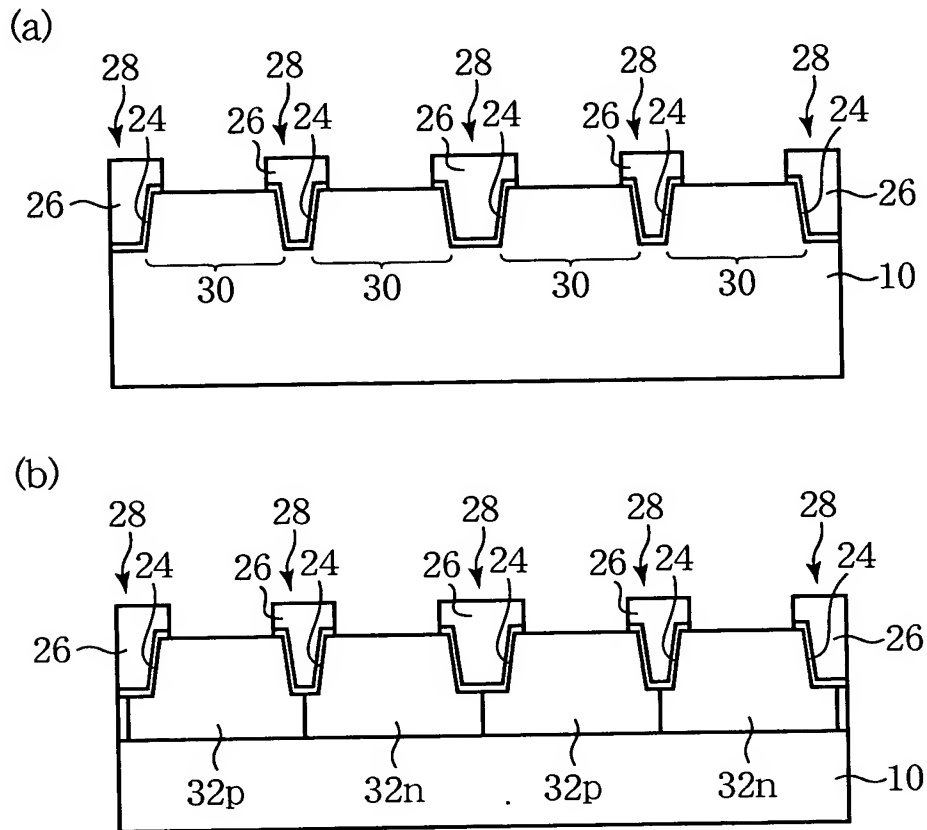
【図 3】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その3)



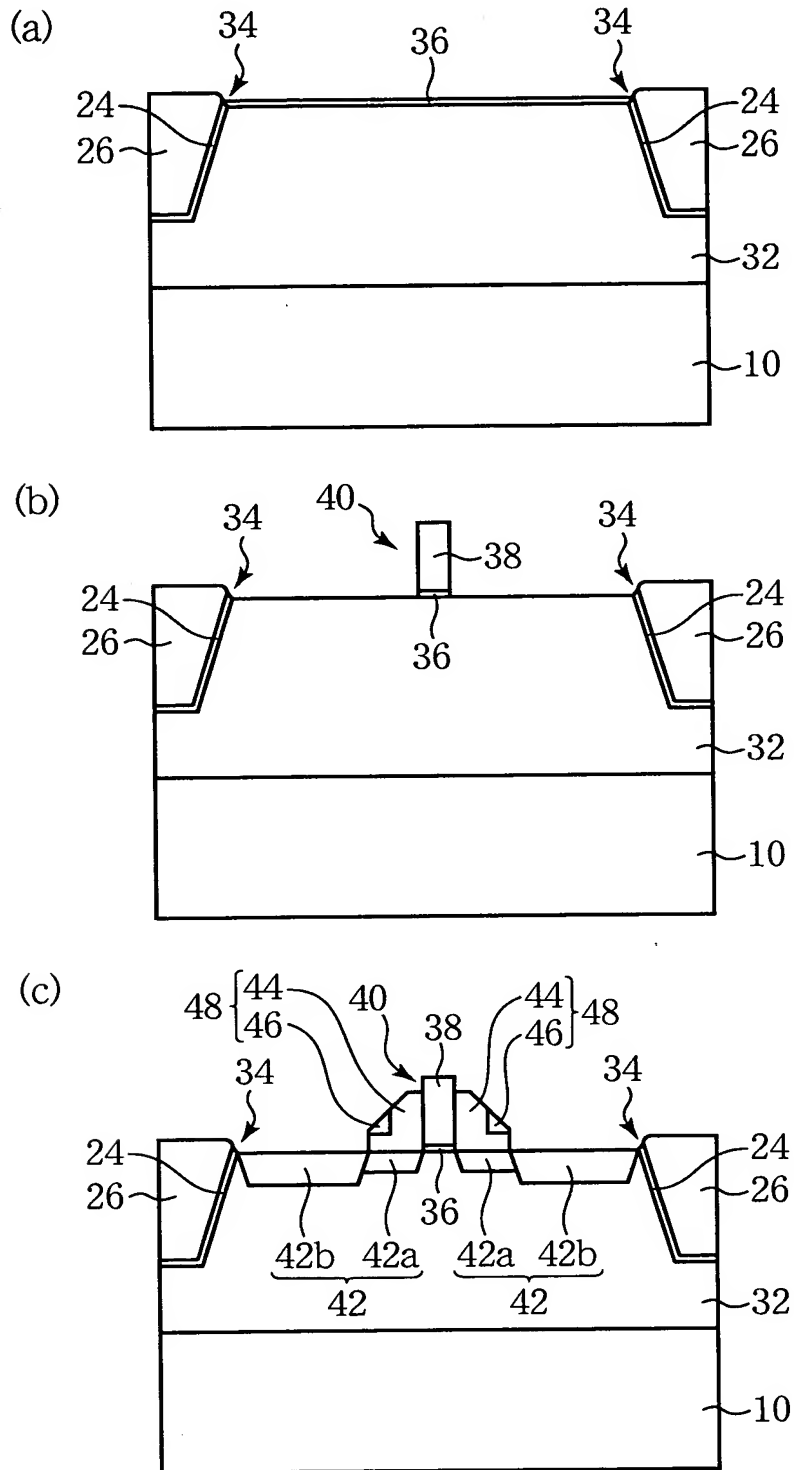
【図 4】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その4)



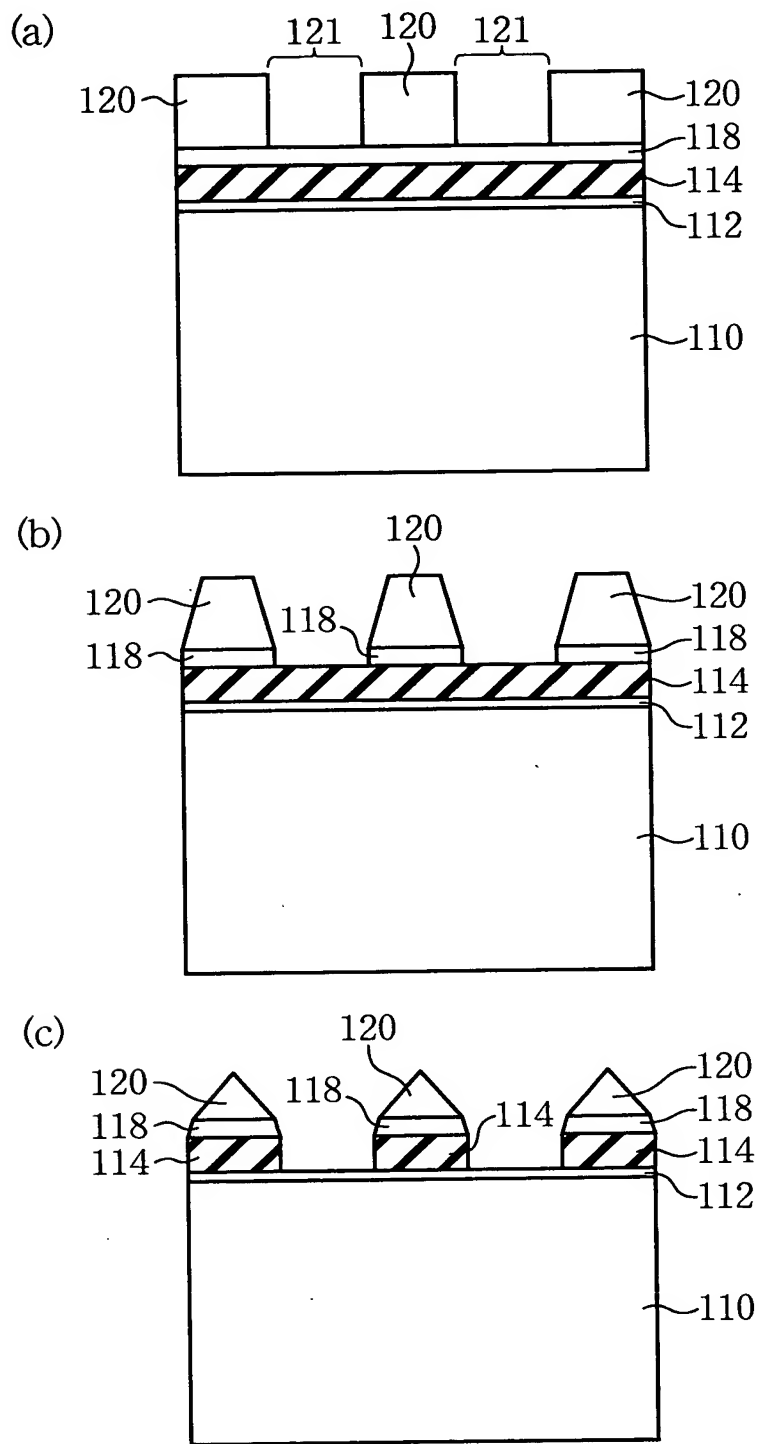
【図 5】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図(その5)



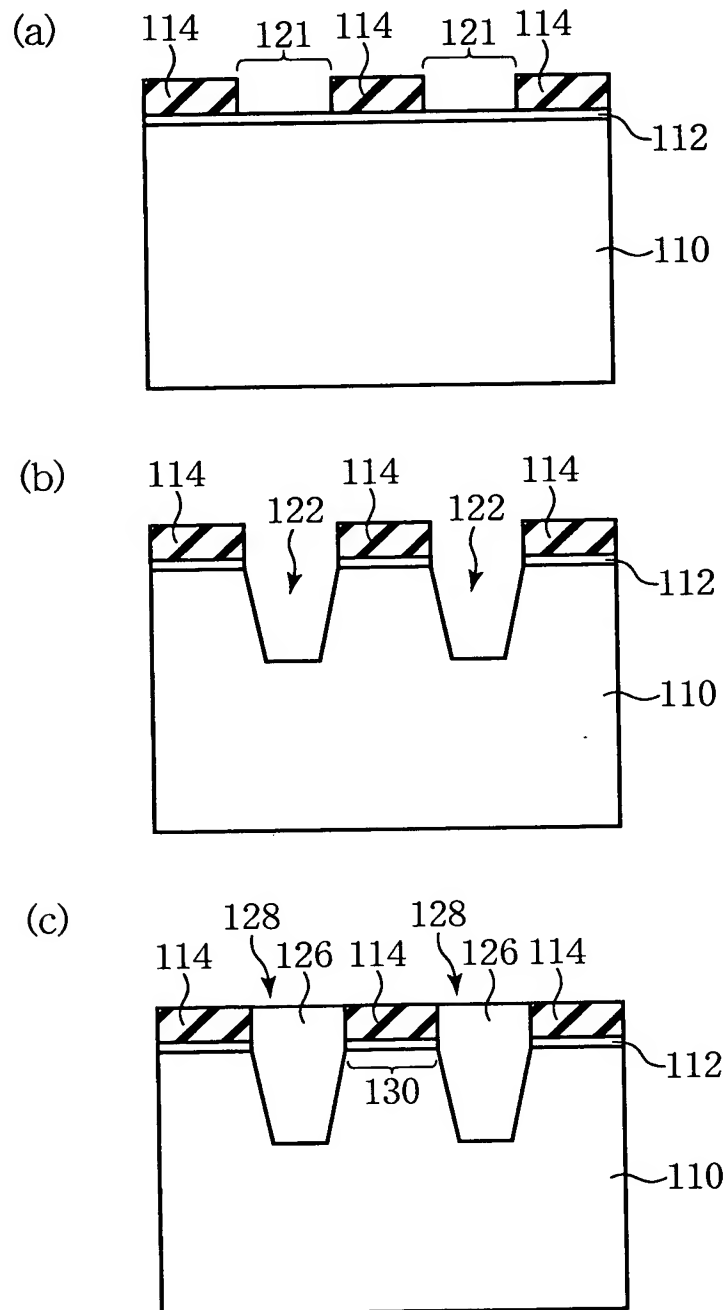
【図 6】

提案されている半導体装置の製造方法を示す工程断面図(その1)



【図 7】

提案されている半導体装置の製造方法を示す工程断面図(その2)





【書類名】 要約書

【要約】

【課題】 良好な素子分離領域を更に微細に形成し得る半導体装置の製造方法を提供する。

【解決手段】 半導体基板上に第 1 の絶縁膜 1 4 を形成する工程と、第 1 の絶縁膜上に半導体膜 1 6 を形成する工程と、半導体膜上にレジスト膜を形成する工程と、レジスト膜に開口部を形成する工程と、レジスト膜をマスクとして半導体膜をエッチングする工程と、半導体膜をマスクとして第 1 の絶縁膜をエッチングする工程と、第 1 の絶縁膜をマスクとして半導体基板をエッチングし、半導体基板に溝 2 2 を形成する工程とを有している。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社